



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2002-0075231
Application Number

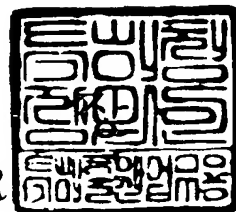
출원 년 월 일 : 2002년 11월 29일
Date of Application NOV 29, 2002

출원인 : (주) 라모스테크놀로지
Applicant(s) RAMOS TECHNOLOGY CO., LTD.



2003 년 11 월 24 일

특 허 청
COMMISSIONER



CERTIFIED COPY OF
PRIORITY DOCUMENT

【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0001
【제출일자】	2002.11.29
【발명의 명칭】	플래시 메모리 제어 장치 및 플래시 메모리 제어 방법
【발명의 영문명칭】	Apparatus and Method for controlling flash memories
【출원인】	
【명칭】	(주) 라모스테크놀러지
【출원인코드】	1-2001-035018-3
【대리인】	
【성명】	남희섭
【대리인코드】	9-1999-000451-4
【포괄위임등록번호】	2002-082062-6
【대리인】	
【성명】	박영주
【대리인코드】	9-2001-000133-2
【포괄위임등록번호】	2002-082063-3
【발명자】	
【성명의 국문표기】	한상욱
【성명의 영문표기】	HAN, Sang Wook
【주민등록번호】	700419-1057844
【우편번호】	463-716
【주소】	경기도 성남시 분당구 금곡동 청솔마을 계룡아파트 110동 2403호
【국적】	KR
【심사청구】	청구
【조기공개】	신청
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 심사청구, 특허법 제64조의 규정에 의한 출원공개를 신청합니다. 대리인 희섭 (인) 대리인 남 박영주 (인)

【수수료】

【기본출원료】 20 면 29,000 원

【가산출원료】 1 면 1,000 원

【우선권주장료】 0 건 0 원

【심사청구료】 16 항 621,000 원

【합계】 651,000 원

【감면사유】 중소기업

【감면후 수수료】 325,500 원

【첨부서류】

1. 요약서·명세서(도면)_1통 2. 중소기업기본법시행령 제2조에 의
한 중소기업에 해당함을 증명하는 서류_1통

【요약서】

【요약】

본 발명은 병렬로 연결된 복수의 플래시 메모리를 제어하기 위한 제어 인터페이스 핀과 데이터 인터페이스 핀을 최소로 유지하면서, 플래시 메모리의 동작 속도를 높일 수 있는 플래시 메모리 제어 장치 및 방법에 관한 것이다. 플래시 메모리 제어 장치는 병렬로 연결된 복수의 메모리 बैं크와 병렬로 연결 가능한 수만큼의 데이터 인터페이스 핀을 포함하고, 플래시 메모리 제어 장치와 플래시 메모리 어레이는 제어 인터페이스 핀을 공유하며, 데이터 인터페이스 핀과 칩 선택 신호 핀은 플래시 메모리 제어 장치와 플래시 메모리 어레이의 복수의 메모리 बैं크 사이에서 독립적으로 연결되어 있다. 호스트로부터 수신한 데이터가 서로 다른 메모리 유닛에 대한 2개 이상의 섹터 데이터인 경우에는 플래시 메모리 제어기가 서로 다른 메모리 유닛을 동시에 인에이블하여 2개의 섹터 데이터를 인에이블된 메모리 유닛들에 동시에 프로그램하고, 플래시 메모리 제어기가 호스트로부터 수신한 데이터가 하나의 섹터 데이터인 경우에 하나의 메모리 유닛을 인에이블하여 이 메모리 유닛에 섹터 데이터를 프로그램한다.

【대표도】

도 1

【명세서】

【발명의 명칭】

플래시 메모리 제어 장치 및 플래시 메모리 제어 방법 {Apparatus and Method for controlling flash memories}

【도면의 간단한 설명】

도 1은 본 발명에 따른 플래시 메모리 제어 시스템과 호스트 시스템 및 플래시 메모리 어레이와의 전체적인 연결 구조를 나타내는 블록 회로도.

도 2는 본 발명의 일구현예에 따른 메모리 유닛의 데이터 저장 구조를 나타내는 블록 회로도.

도 3은 본 발명에 따른 플래시 메모리 제어 과정을 나타내는 흐름도.

<도면의 주요 부호에 대한 설명>

12, 22: 칩 선택 신호 버스 14, 24: 상태 신호 버스

16, 26: 데이터 신호 버스 18: 제어 신호 버스

20: 메모리 버스 30: 플래시 메모리 제어기

40: 호스트 버스 50: 호스트 시스템

100: 플래시 메모리 어레이 102, 104: 플래시 메모리 유닛

106, 108: 플래시 메모리 뱅크 112: 페이지

114: 블록 116: I/O 버퍼

123, 127, 133, 135: 섹터

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <13> 본 발명은 메모리 반도체 기술에 관한 것으로서, 좀 더 구체적으로는 편 수의 증가없이 플래시 메모리의 동작 속도를 높일 수 있는 플래시 메모리 제어 장치 및 방법에 관한 것이다.
- <14> 다양한 휴대용 전자기기와 임베디드 소자에서 요구하는 데이터 기억 용량이 증가하면서 플래시 메모리형 EEPROM (Electrically Erasable Programmable Read Only Memory)에 대한 수요가 늘고 있다. 플래시 메모리는 대용량 데이터 저장 장치 예컨대, 하드 디스크를 대체하는 역할을 하는데, 그 외에도 PCMCIA 플래시 카드나 MP3 플레이어, 디지털 음성 녹음기에 응용되거나 라우터에 사용되는 RISC CPU나 휴대폰에 사용되는 DSP와 같은 임베디드 프로세서를 위한 프로그램 코드를 저장하는 기능을 한다.
- <15> 플래시 메모리는 호스트 시스템(예컨대, PC나 휴대용 전자기기)과 플래시 메모리 사이에 연결되는 제어기(controller)에 의해 데이터 입출력이 제어된다. 플래시 메모리에 데이터를 쓰는 동작(또는 프로그램하는 동작)과 플래시 메모리로부터 데이터를 읽는 동작에는 시간이 많이 걸린다. 이러한 이유로 플래시 메모리 제어 시스템에서는 플래시 메모리에 대한 데이터 읽기와 쓰기에 걸리는 시간을 줄이는 것이 가장 중요한 기술적인 과제 중 하나이다. 종래 기술에서 데이터 읽기 쓰기 속도를 높이기 위해, 소프트웨어를 최적화하는 방법이나 주파수를 증가시키는 방법(예컨대, 호스트 시스템에서 입력되는 데이터를 처리하는 메모리 제어기의 동작 속도를 높이거나, 메모리 제어기와 플래시 메모리 사이의 인터페이스 속도를 높이는 것) 또는 여러 플래시 메모리를 병렬로 연결하는 방법을 사용하였다. 그런데, 종래 소프트웨어 최적화 기술

에는 호스트 시스템이나 플래시 메모리 제어 시스템의 구성에 따라 한계가 있고, 주파수 증가 방법은 플래시 메모리의 동작 한계와 시스템의 전류 증가로 인하여 속도 향상이 제한된다는 단점이 있다.

- <16> 한편, 플래시 메모리를 병렬로 연결하는 종래 기술에서는 예컨대, 2개의 플래시 메모리 칩을 독립적으로 제어하기 때문에 제어기는 병렬로 연결된 플래시 메모리를 독립적으로 액세스하기 위한 병렬 연결 가능한 수만큼의 제어 신호 인터페이스 핀과 병렬 연결이 가능한 수만큼의 데이터 인터페이스 핀이 필요하게 된다. 또한, 병렬로 연결된 각각의 플래시 메모리를 별도로 제어해야 하기 때문에 병렬로 연결된 플래시 메모리의 수만큼 프로그램이 길어진다는 단점이 있다.

【발명이 이루고자 하는 기술적 과제】

- <17> 본 발명의 목적은 플래시 메모리 제어 장치의 핀수 증가 없이 플래시 메모리에 대한 읽기/쓰기 속도를 향상시키는 것이다.
- <18> 본 발명의 다른 목적은 복수의 플래시 메모리를 병렬로 동작시키면서도 플래시 메모리 각각의 액세스에 필요한 시간을 줄이는 것이다.

【발명의 구성 및 작용】

- <19> 본 발명에 따른 플래시 메모리 제어 장치는 호스트 시스템과 플래시 메모리 어레이 사이에 연결되어 호스트 시스템으로부터 섹터 단위의 데이터를 상기 플래시 메모리 어레이에 전달하는데, 여기서 플래시 메모리 어레이는 복수의 메모리 뱅크

를 포함하고, 상기 복수의 메모리 뱅크 각각은 복수의 메모리 유닛을 포함하고, 상기 복수의 메모리 유닛 각각은 복수의 메모리 블록을 포함하며, 상기 복수의 메모리 블록 각각은 복수의 페이지를 포함하고, 상기 복수의 페이지 각각은 하나 이상의 섹터를 포함한다. 플래시 메모리 제어 장치는 호스트 시스템으로부터 수신한 데이터가 서로 다른 메모리 유닛에 대한 2개 이상의 섹터 데이터인 경우에는 상기 데이터를 보내도록 지정된(addressed) 서로 다른 메모리 유닛을 동시에 인에이블하여 2개의 섹터 데이터를 인에이블된 메모리 유닛들에 동시에 프로그램하는 한편, 플래시 메모리 제어기가 호스트로부터 수신한 데이터가 하나의 섹터 데이터인 경우에 플래시 메모리 제어기는 섹터 데이터를 보내도록 지정된 하나의 메모리 유닛을 인에이블하여 이 메모리 유닛에 상기 수신한 섹터 데이터를 프로그램하는 것을 특징으로 한다.

<20> 본 발명의 다른 특징에 따른 플래시 메모리 제어 장치는, 병렬로 연결된 복수의 메모리 뱅크와 병렬로 연결 가능한 수만큼의 데이터 인터페이스 핀을 포함하고, 플래시 메모리 제어 장치와 플래시 메모리 어레이는 제어 신호 인터페이스 핀을 공유하며, 상기 데이터 인터페이스 핀과 칩 선택 신호 핀은 플래시 메모리 제어 장치와 플래시 메모리 어레이의 복수의 메모리 뱅크 사이에서 독립적으로 연결되어 있다.

<21> 본 발명에 따른 플래시 메모리 제어 방법은 호스트 시스템으로부터 플래시 메모리에 대한 논리 어드레스를 수신하여 물리 어드레스로 변환하는 단계와, 호스트 시스템에서 플래시 메모리에 기록하고자 하는 섹터의 개수를 판단하는 단계와, 상기 판단 단계에서, 섹터의 개수가 '1'인 경우에는 하나의 섹터 데이터를 수신하고 뱅크를 계산하여 이에 해당하는 하나의 플래시 메모리 뱅크를 인에이블하고, 섹터의 개수가 '2' 이상인 경우에는 2개의 섹터 데이터를 수신하고 이에 해당하는 2개의 플래시 메모리 뱅크를 인에이블하는 단계와, 상기 인에이블된 메모리 뱅크의 상기 물리 어드레스에 의해 지정된 메모리 블록에 대해 플래시 쓰기 동작을 시작하

는 단계를 포함한다. 2개의 메모리 뱅크가 인에이블된 경우에는 예컨대, 제1 데이터 버스[0:7]를 통해 제1 플래시 메모리에 데이터를 기록함과 동시에 제2 데이터 버스[8:15]를 통해 제2 플래시 메모리에도 데이터를 기록한다.

<22> 구현예

<23> 이하 도면을 참조로 본 발명의 구현예에 대하여 설명한다.

<24> 도 1은 본 발명에 따른 플래시 메모리 제어 시스템과 호스트 시스템 및 플래시 메모리 어레이와의 전체적인 연결 구조를 나타내는 블록 회로도이다.

<25> 플래시 메모리 제어기(30)는 메모리 버스(20)를 통해 플래시 메모리 어레이(100)와 연결되고, 호스트 버스(40)를 통해 호스트 시스템(50)과 연결되어 있다. 호스트 버스(40)는 예컨대, 16-비트 데이터 라인이 될 수 있다. 플래시 메모리 어레이(100)는 복수의 메모리 뱅크(106, 108)를 포함하며, 메모리 뱅크 각각은 복수의 메모리 유닛(102, 104)을 포함한다. 이 구현예에서는 2개의 메모리 뱅크(106, 108)를 나타내었지만, 메모리 어레이(100)가 3개 이상의 메모리 뱅크를 포함하는 것도 가능하다. 메모리 유닛(102, 104)은 예컨대, 16개의 메모리 셀이 직렬로 연결된 NAND형 플래시 메모리이다. 호스트(50)는 PC와 같은 OS 기반의 프로세서(processor)이거나 OS가 없는 임베디드 시스템(embedded system)의 프로세서 칩이 될 수도 있다. 호스트(50)가 OS 프로세서인 경우, 플래시 메모리(100)는 표준 주변장치 중 하나로 동작하며 IDE 디스크 드라이브와 같은 I/O 인터페이스를 통해 CPU의 시스템 버스와 연결된다. 호스트 시스템(50)은 호스트 버스(40)를 통해 어드레스 신호와 데이터 신호, 명령 신호 및 제어 신호를 메모리 제어기(30)로 전송한다. 호스트(50)는 메모리 제어기(30)를 통해 메모리 어레이

(100)와 섹터 단위의 데이터를 주고받는다. 하나의 섹터는 예컨대, 512-바이트의 사용자 데이터와 ECC (Error Coding and Correction) 데이터로 구성될 수 있다.

<26> 메모리 제어기(30)는 메모리 버스(20)를 통해 메모리 어레이(100)와 데이터를 주고받고, 메모리 어레이(100)의 동작을 제어한다. 메모리 버스(20)는 제1 플래시 메모리(102, FM0)에 대한 칩 선택 신호(chip enable(CE) 신호) 버스(12), 상태 신호 버스(14), 데이터 버스(16)와 제2 플래시 메모리(104, FM1)에 대한 칩 선택 신호 버스(22), 상태 신호 버스(24), 데이터 버스(26) 및 제1 플래시 메모리(102)와 제2 플래시 메모리(104)에 공통으로 연결되어 있는 제어 신호 버스(18)를 포함한다. 제어 신호 버스(18)는 분기되어 제1 플래시 메모리(102)와 연결되는 제1 제어 신호 버스(18a)와, 제2 플래시 메모리(104)와 연결되는 제2 제어 신호 버스(18b)를 포함한다.

<27> 이 구현예에서 메모리 제어기(30)에서 출력되는 칩 선택 신호(CE)는 각각의 플래시 메모리(102, 104)에 대해 별도의 버스(12, 22)를 통해 공급되기 때문에, 복수의 플래시 메모리 유닛을 동시에 인에이블하거나 하나만 인에이블하는 것이 가능하다. 또한, 플래시 메모리(102, 104)에 대한 제어 신호는 공통으로 접속되어 있는 데에 비해, 데이터 신호는 별도의 버스를 통해 별개로 공급된다. 따라서, 이 구현예에 따르면, 메모리 제어기(30)는 호스트(50)로부터 수신한 데이터가 서로 다른 메모리 유닛에 대한 2개 이상의 섹터 데이터인 경우에는 데이터를 보내도록 지정된(addressed) 서로 다른 2개의 메모리 유닛을 동시에 인에이블하여 2개의 섹터 데이터를 인에이블된 메모리 유닛들에 동시에 프로그램하고, 한편 메모리 제어기(30)가 호스트(50)로부터 수신한 데이터가 하나의 섹터 데이터인 경우에는 하나의 메모리 유닛을 인에이블하여 이 메모리 유닛에 상기 수신한 섹터 데이터를 프로그램하는 것이 가능하다.

- <28> 플래시 메모리 제어기(30)는 예컨대, 제어 칩, 플래시 제어 블록을 포함할 수 있다. 이 경우, 제어칩은 SRAM, 코어, MMU, 인터럽트 제어, 섹터 버퍼, 리맵(remap), CR 인터페이스 등을 위한 회로 소자를 포함할 수 있다. 제어 칩은 플래시 제어 블록을 통해 보내고자 하는 데이터의 크기에 따라 CE 신호를 활성화(active)하고, 각각의 메모리 बैं크에 있는 ECC를 통하여 데이터를 각각의 메모리 बैं크에 보낸다.
- <29> 도 2는 본 발명의 일구현예에 따른 메모리 유닛의 데이터 저장 구조를 나타내는 블록 회로도이다.
- <30> 하나의 메모리 유닛(102)은 복수의 메모리 블록(114) 즉, 블록 0, 블록 1, ..., 블록 [N-1]을 포함하며, 하나의 메모리 블록은 복수의 페이지(112) 즉, 페이지 0, 페이지 1, ..., 페이지 [M-1]를 포함한다. 하나의 페이지(112)는 복수의 섹터(123, 127, 131, 135)를 포함한다. 각각의 섹터는 사용자 데이터(122, 126, 130, 134)와 이에 각각 대응되는 ECC 데이터(124, 128, 132, 136)로 구성된다. 하나의 사용자 데이터는 예컨대, 512-바이트이고 ECC 데이터는 8-바이트이다. ECC 데이터는 ECC 블록의 구성에 따라 그 크기가 달라지며, 예컨대, 각각의 섹터의 사용자 데이터에 대한 에러 검출과 보정 동작을 메모리 제어기(30)에서 수행하는 데에 사용된다. 도 2에는 하나의 페이지가 4개의 섹터를 갖는 2k-바이트 페이지를 나타내었지만, 메모리 유닛의 용량이 1G 이하인 경우에는 페이지와 섹터를 512-바이트로 동일하게 할 수도 있다. 본 발명의 일구현예에서는 하나의 메모리 블록에 64개의 페이지를 구성할 수 있고, 하나의 메모리 유닛에 모두 2,048개의 메모리 블록을 구성할 수 있다.
- <31> 버스(18)를 통해 공급되는 제어 신호는 예컨대, CLE (Command Latch Enable), ALE (Address Latch Enable), WE (Write Enable), RE (Read Enable), WP (Write Protect), PRE (Power-on Read Enable) 신호 등을 포함한다. 상태 신호 즉, R/B (Ready/Busy output) 신호는

플래시 메모리에서 생성되어 플래시 메모리가 준비 상태(ready)인지 동작중(busy) 인지를 나타낸다. R/B 신호 단자는 예컨대, 5V 전원과 연결되어 있어서 플래시 메모리에서 생성된 R/B 신호를 풀업(pull-up)하여 메모리 제어기(30)로 공급되며, 2개의 플래시 메모리의 병렬 액세스를 지원하기 위해 2개의 상태 레지스터를 사용할 수 있다. 데이터 버스(16, 18)에는 데이터 신호 및 어드레스 신호와 명령 신호가 시간다중화 방식으로 전달된다. 메모리 제어기(30)에서 플래시 유닛(102)으로 공급되는 데이터는 I/O 버퍼(116)에서 래치된 다음 플래시 유닛(102)의 해당 블록의 섹터에 기록된다.

<32> 플래시 어레이(100)에 공급할 데이터가 2개의 섹터 데이터인 경우 이 가운데 예컨대, 섹터 0 데이터는 제1 데이터 버스(16)를 통해 제1 플래시 유닛(102)으로 보내고, 섹터 1 데이터는 제2 데이터 버스(26)를 통해 제2 플래시 유닛(104)으로 동시에 보낸다. 우수 섹터(even sector) 즉, 섹터 0, 섹터 2 등은 제1 메모리 बैं크(106)에 포함되고, 기수 섹터(odd sector) 즉, 섹터 1, 섹터 3 등은 제2 메모리 बैं크(108)에 포함된다. 하나의 데이터 버스(16, 26)를 통해 공급되는 데이터는 섹터 데이터 16-비트 중 8-비트이다. 한편, 플래시 어레이(100)에 공급할 데이터가 1개의 섹터 데이터인 경우에는 2개의 데이터 버스 중 어느 하나(예컨대, [0:7] 또는 [8:15] 데이터 버스)를 통해 해당 플래시 유닛에 섹터 데이터를 보낸다. 2개의 섹터 데이터를 동시에 보내기 위해, 예컨대 512M 플래시 메모리 2개의 병렬 액세스를 위해 메모리 제어기는 한 페이지 당 1K 용량의 버퍼를 사용하거나, 1G 또는 2G 플래시 메모리 2개의 병렬 액세스를 지원하기 위해 한 페이지 당 4K 용량의 버퍼를 사용할 수 있다.

<33> 도 3은 본 발명에 따른 플래시 메모리 제어 과정을 나타내는 흐름도이다.

<34> 호스트 쓰기 동작(또는 기록 동작)이 개시되면(단계 302), 호스트는 예컨대, 4-바이트의 어드레스 관련 입력과 1-바이트의 섹터 수를 메모리 제어기에게 전달하고 쓰기 명령이나 읽기

명령을 제공한다(단계 304). 메모리 제어기는 호스트에서 전달받은 4-바이트의 어드레스 관련 입력을 이용하여 논리 어드레스를 계산한다. 호스트로부터 수신된 어드레스는 논리 어드레스이며 이것을 플래시 유닛에 기록하기 위해서는 메모리 제어기가 논리 어드레스에 대응되는 물리 어드레스를 계산하여 변환하여야 한다(단계 306). 변환된 물리 어드레스가 유효 어드레스인지 판단하여(단계 308), 유효 어드레스가 아닌 경우에는 물리 어드레스 변환 과정(306)을 반복하고, 유효 어드레스인 경우에는 섹터 개수가 2 보다 작은지 판단한다(단계 310). 단계(310)에서 섹터의 갯수가 2보다 작은 경우, 메모리 제어기는 하나의 섹터 데이터를 수신하고(단계 316), 뱅크를 계산한다(단계 318). 뱅크 계산은 예컨대, 섹터 어드레스의 최하위 비트를 체크하여 그 값이 '0'인 경우에는 '뱅크 0'으로 하고 최하위 비트의 값이 '1'인 경우에는 '뱅크 1'로 한다. 계산된 뱅크에 따라 뱅크 0 또는 뱅크 1을 인에이블하고(단계 320), 플래시 쓰기 동작으로 진행한다. 한편, 섹터 개수 판단 단계(310)에서 섹터의 개수가 2보다 큰 경우, 메모리 제어기는 2개의 섹터 데이터를 수신하여(단계 312), 뱅크 0과 뱅크 1을 동시에 인에이블한 다음(단계 314), 플래시 쓰기 동작으로 진행한다.

<35> 인에이블된 하나 또는 두 개의 뱅크에 대해, 플래시 쓰기 명령 입력 단계(322)에서는 예컨대, 순차 데이터 입력 명령(Sequential Data Input Command, 80H 명령)이 입력된다. 80H 명령에 따라 플래시 데이터를 I/O 버퍼에 순차적으로 로딩하고, 어드레스를 수신하는데, 어드레스는 ALE 신호가 활성화 상태로 된 후 열 어드레스와 행 어드레스가 순차적으로 수신된다(단계 324). ALE 신호를 비활성 상태로 한 후 WE 신호를 활성화-비활성 상태로 반복하면서 플래시 데이터를 지정된 메모리 셀에 기록한다(단계 326). 메모리 셀에는 페이지 단위로 데이터가 기록되므로, 예컨대 단계 326에서는 512-바이트 + 16-바이트 즉, 528-바이트의 데이터가 한

번에 기록된다. 메모리에 쓸 섹터 데이터가 더 있는가를 판단하여(단계328) 기록해야 할 섹터 데이터가 더 존재하는 경우에는 경로(330)를 따라 물리 어드레스 변환 단계(306)로 복귀하여 앞의 과정을 반복하고 섹터 데이터가 더 이상 없는 경우에는 쓰기 동작을 완료한다(단계 332). 기록 동작 동안 메모리 제어기는 플래시 메모리에서 출력되는 상태 신호 즉, R/B 신호를 조사하여 프로그램 사이클이 종료되는지를 판단할 수 있다. 완료 단계(332)는 읽기 상태 명령(70H 명령)을 준 다음 I/O 0의 데이터를 조사하여 그 값이 '0'이면 기록 동작이 정상적이었다고 판단하고 I/O 0의 데이터가 '1'인 경우에는 프로그램에 오류가 있었다고 판단하는 단계를 포함할 수 있다.

【발명의 효과】

- <36> 본 발명에 따르면, 종래 기술의 메모리 제어기에서 각각의 칩을 별도로 제어하기 위하여 추가로 사용한 핀이 필요하지 않기 때문에, 복수의 플래시 메모리 유닛을 병렬로 동시에 동작 시키면서도 패키지에 요구되는 핀 수를 절약하면서 플래시 메모리의 동작 속도를 개선할 수 있다.
- <37> 또한, 종래 기술에서 각각의 칩을 따라 액세스함으로써 추가로 요구되는 시간을 본 발명에서는 절약함으로써 플래시 메모리의 속도를 높일 수 있다.

【특허청구범위】**【청구항 1】**

호스트 시스템과 플래시 메모리 어레이 사이에 연결되어 호스트 시스템으로부터 섹터 단위의 데이터를 상기 플래시 메모리 어레이에 전달하는 플래시 메모리 제어 장치로서,

상기 플래시 메모리 어레이는 복수의 메모리 뱅크를 포함하고, 상기 복수의 메모리 뱅크 각각은 복수의 메모리 유닛을 포함하고, 상기 복수의 메모리 유닛 각각은 복수의 메모리 블록을 포함하며, 상기 복수의 메모리 블록 각각은 복수의 페이지를 포함하고, 상기 복수의 페이지 각각은 하나 이상의 섹터를 포함하며,

상기 플래시 메모리 제어 장치는 상기 호스트 시스템으로부터 수신한 데이터가 서로 다른 메모리 유닛에 대한 2개 이상의 섹터 데이터인 경우에는 상기 데이터를 보내도록 지정된 (addressed) 서로 다른 메모리 유닛을 동시에 인에이블하여 2개의 섹터 데이터를 인에이블된 메모리 유닛들에 동시에 프로그램하고, 한편 상기 플래시 메모리 제어기가 호스트로부터 수신한 데이터가 하나의 섹터 데이터인 경우에 상기 플래시 메모리 제어기는 섹터 데이터를 보내도록 지정된 하나의 메모리 유닛을 인에이블하여 이 메모리 유닛에 상기 수신한 섹터 데이터를 프로그램하는 것을 특징으로 하는 플래시 메모리 제어 장치.

【청구항 2】

제1항에서, 상기 플래시 메모리 장치는 복수의 메모리 뱅크 각각에 대한 칩 선택을 위해 별도의 버스를 통해 연결되어 있는 것을 특징으로 하는 플래시 메모리 제어 장치.

【청구항 3】

제1항 또는 제2항에서, 상기 플래시 메모리 장치는 복수의 메모리 뱅크에 대해 공통으로 접속되는 제어 신호 버스를 통해 연결되어 있는 것을 특징으로 하는 플래시 메모리 제어 장치.

【청구항 4】

제1항 또는 제2항에서, 상기 플래시 메모리 장치는 복수의 메모리 뱅크 뱅크 각각에 대해 별도의 데이터 신호 버스를 통해 연결되어 있는 것을 특징으로 하는 플래시 메모리 제어 장치.

【청구항 5】

제1항 또는 제2항에서, 상기 플래시 메모리 장치는 복수의 메모리 뱅크 뱅크 각각에 대해 별도의 데이터 신호 버스를 통해 연결되어 있으며, 복수의 메모리 뱅크에 대해 공통으로 접속되는 제어 신호 버스를 통해 연결되어 있는 것을 특징으로 하는 플래시 메모리 제어 장치.

【청구항 6】

제1항에서, 상기 페이지 각각은 섹터와 그 크기가 동일한 것을 특징으로 하는 플래시 메모리 제어 장치.

【청구항 7】

제1항에서, 상기 페이지 각각은 섹터보다 그 크기가 더 큰 것을 특징으로 하는 플래시 메모리 제어 장치.

【청구항 8】

호스트 시스템과 플래시 메모리 어레이 사이에 연결되어 호스트 시스템으로부터 섹터 단위의 데이터를 상기 플래시 메모리 어레이에 전달하는 플래시 메모리 제어 장치로서,

상기 플래시 메모리 어레이는 병렬로 연결된 복수의 메모리 बैं크를 포함하고, 상기 복수의 메모리 बैं크 각각은 복수의 메모리 유닛을 포함하고, 상기 복수의 메모리 유닛 각각은 복수의 메모리 블록을 포함하며, 상기 복수의 메모리 블록 각각은 복수의 페이지를 포함하고, 상기 복수의 페이지 각각은 하나 이상의 섹터를 포함하며,

상기 플래시 메모리 제어 장치는 상기 병렬로 연결된 복수의 메모리 बैं크와 병렬로 연결 가능한 수만큼의 데이터 인터페이스 핀을 포함하고, 플래시 메모리 제어 장치와 플래시 메모리 어레이는 제어 신호 인터페이스 핀을 공유하며, 상기 데이터 인터페이스 핀과 칩 선택 신호 핀은 플래시 메모리 제어 장치와 플래시 메모리 어레이의 복수의 메모리 बैं크 사이에서 독립적으로 연결되어 있는 것을 특징으로 하는 플래시 메모리 제어 장치.

【청구항 9】

제8항에서, 상기 플래시 메모리 제어 장치는 상기 호스트 시스템으로부터 수신한 데이터가 서로 다른 메모리 유닛에 대한 2개 이상의 섹터 데이터인 경우에는 상기 데이터를 보내도록 지정된(addressed) 서로 다른 메모리 유닛을 동시에 인에이블하여 2개의 섹터 데이터를 인에이블된 메모리 유닛들에 동시에 프로그램하고, 한편 상기 플래시 메모리 제어기가 호스트로부터 수신한 데이터가 하나의 섹터 데이터인 경우에 상기 플래시 메모리 제어기는 섹터 데이터를 보내도록 지정된 하나의 메모리 유닛을 인에이블하여 이 메모리 유닛에 상기 수신한 섹터 데이터를 프로그램하는 것을 특징으로 하는 플래시 메모리 제어 장치.

【청구항 10】

제1항 또는 제8항에서, 상기 메모리 제어 장치는 상기 플래시 메모리 어레이의 512M 플래시 메모리 2개의 병렬 액세스를 위해서는 한 페이지 당 1K 용량의 버퍼를 사용하거나, 1G 또

는 2G 플래시 메모리 2개의 병렬 액세스를 지원하기 위해서는 한 페이지 당 4K 용량의 버퍼를 사용하는 것을 특징으로 하는 플래시 메모리 제어 장치.

【청구항 11】

플래시 메모리 제어 방법으로서,

호스트 시스템으로부터 플래시 메모리에 대한 논리 어드레스를 수신하여 물리 어드레스로 변환하는 단계와,

호스트 시스템에서 플래시 메모리에 기록하고자 하는 섹터의 개수를 판단하는 단계와,

상기 판단 단계에서, 섹터의 개수가 '1'인 경우에는 하나의 섹터 데이터를 수신하고 뱅크를 계산하여 이에 해당하는 하나의 플래시 메모리 뱅크를 인에이블하고, 섹터의 개수가 '2' 이상인 경우에는 2개의 섹터 데이터를 수신하고 이에 해당하는 2개의 플래시 메모리 뱅크를 인에이블하는 단계와,

상기 인에이블된 메모리 뱅크의 상기 물리 어드레스에 의해 지정된 메모리 블록에 대해 플래시 쓰기 동작을 시작하는 단계를 포함하는 플래시 메모리 제어 방법.

【청구항 12】

제11항에서, 상기 호스트 시스템으로부터 데이터를 가져오는 단위는 섹터이며, 상기 플래시 메모리 뱅크에 데이터를 기록하는 단위는 페이지이며, 상기 페이지 복수개는 하나의 메모리 블록을 구성하고 복수의 메모리 블록이 하나의 메모리 유닛을 구성하며 복수의 메모리 유닛이 메모리 뱅크를 구성하는 것을 특징으로 하는 플래시 메모리 제어 방법.

【청구항 13】

제11항에서, 상기 어드레스 변환 단계 이전에는, 어드레스 관련 입력과 섹터 개수 데이터를 플래시 메모리 제어기가 상기 호스트 시스템으로부터 수신하고, 호스트 시스템으로부터 읽기 또는 쓰기 명령이 접수되면 상기 메모리 제어기가 상기 어드레스 관련 입력을 이용하여 논리 어드레스를 계산하는 단계가 더 포함되는 것을 특징으로 하는 플래시 메모리 제어 방법.

【청구항 14】

제11항에서, 상기 어드레스 변환 단계 다음에는 변환된 물리 어드레스가 유효 어드레스인지 판단하는 단계가 더 포함되는 것을 특징으로 하는 플래시 메모리 제어 방법.

【청구항 15】

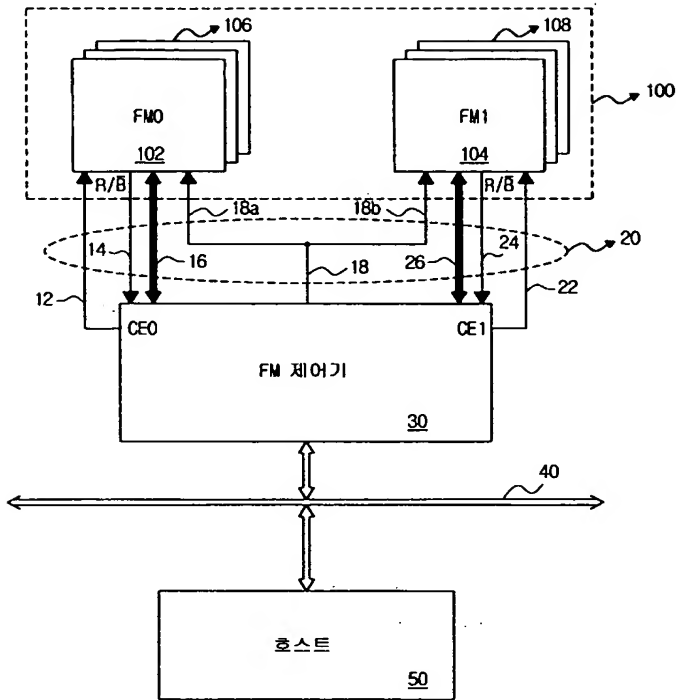
제11항에서, 상기 플래시 쓰기 동작은, 플래시 데이터를 순차적으로 입력하고, 어드레스를 수신한 다음 플래시 데이터를 지정된 메모리 셀에 기록하는 단계를 포함하는 것을 특징으로 하는 플래시 메모리 제어 방법.

【청구항 16】

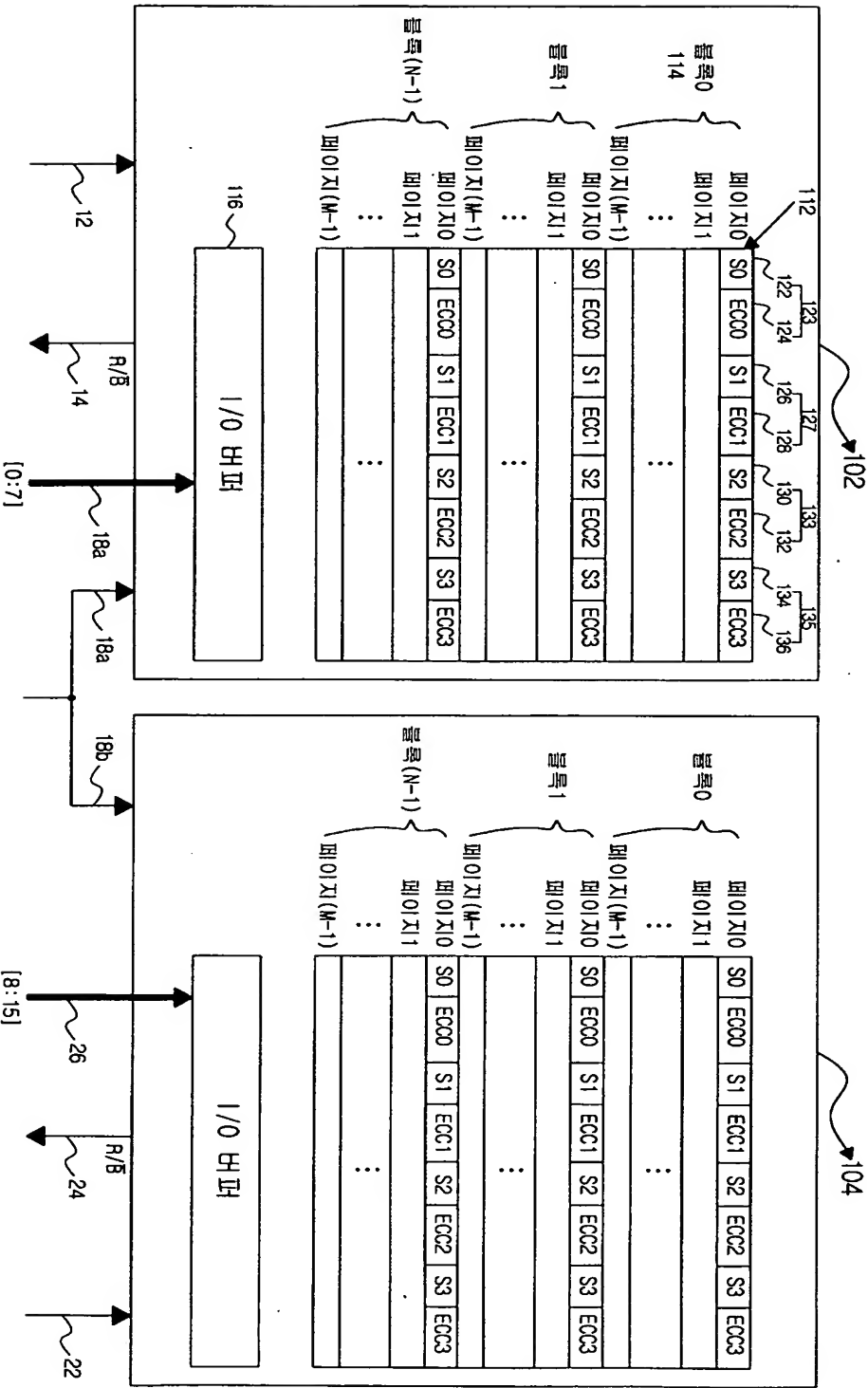
제11항에서, 상기 인에이블 단계에서 2개의 메모리 뱅크가 인에이블된 경우에는 제1 데이터 버스를 통해 제1 플래시 메모리에 데이터를 기록함과 동시에 제2 데이터 버스를 통해 제2 플래시 메모리에도 데이터를 기록하는 것을 특징으로 하는 플래시 메모리 제어 방법.

【도면】

【도 1】



【도 2】



【도 3】

